



Espacenet

## Bibliographic data: JP 10134573 (A)

MAIN AMPLIFICATION CIRCUIT FOR SEMICONDUCTOR MEMORY, SEMICONDUCTOR MEMORY, AND MANUFACTURE FOR SEMICONDUCTOR MEMORY

Publication date: 1998-05-22

Inventor(s): WADA SHOJI +

Applicant(s): HITACHI LTD +

Classification: international:

G01R31/28; G11C11/401; G11C11/407; G11C11/409; G11C29/00; G11C29/12; G11C29/34; G11C7/00; H01L21/8242; H01L27/108; (IPC1-7): G11C11/401; G11C11/407; G11C11/409; G11C29/00; H01L21/8242; H01L27/108

- European:

Application number: JP19970133841 19970523

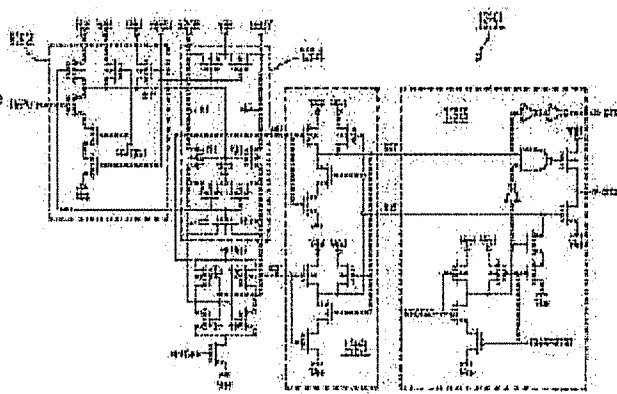
Priority number (s): US19960022168P 19960719

Also published as:

- JP 3569417 (B2)
- JP 2004265589 (A)
- SG 79943 (A1)

### Abstract of JP 10134573 (A)

PROBLEM TO BE SOLVED: To provide a main amplification circuit for a semiconductor memory which operates along with a write amplification circuit. SOLUTION: Both of a main amplification circuit and a write amplification circuit operate at a first plus voltage level and selectively drive and precharge two I/O buses to a second plus voltage level. A main amplification circuit 130 includes a precharge circuit 134 which can both separate and precharge the two I/O buses, and an activation circuit (NAND circuit 132) for transmitting a signal to activate a first section. The above signal enables the first section to precharge two I/O signals only when the two I/O buses are not separated.



Last updated:  
12.10.2011 Worldwide  
Database 5.7.23.2; 92p

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-134573

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 11/409

11/407

11/401

29/00

H 0 1 L 27/108

6 7 1

G 1 1 C 11/34

29/00

11/34

3 5 4 R

6 7 1 Z

3 5 3 F

3 6 2 S

3 7 1 A

審査請求 未請求 請求項の数22 O L (全 19 頁) 最終頁に続く

(21) 出願番号

特願平9-133841

(22) 出願日

平成9年(1997) 5月23日

(31) 優先権主張番号

6 0 / 0 2 2 , 1 6 8

(32) 優先日

1996年7月19日

(33) 優先権主張国

米国 (U S)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 和田 省治

東京都世田谷区野沢1-8-9

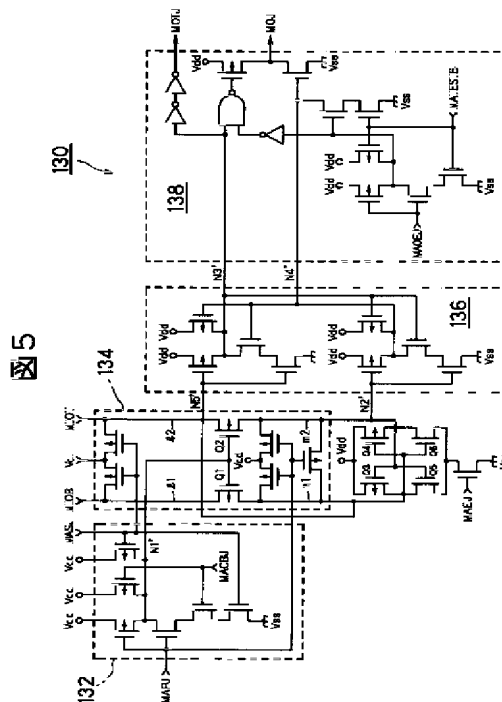
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体メモリ用のメインアンプ回路、半導体メモリ、および半導体メモリの製造方法

(57) 【要約】

【課題】 書き込みアンプ回路と共に動作する半導体メモリ用のメインアンプ回路を提供する。

【解決手段】 メインアンプ回路と書き込みアンプ回路との両方が、第1のプラス電圧レベルで動作し、2つのI/Oバスを第2のプラス電圧レベルへ選択的に駆動し、プリチャージすることができるものである。メインアンプ回路130は、2つのI/Oバスの分離と2つのI/Oバスのプリチャージとの両方を実行することができるプリチャージ回路134と、その第1のセクションをアクティブにする信号を発信するためのアクティブ化回路(NAND回路132)とを有し、2つのI/Oバスが分離していないときのみ、2つのI/O信号をプリチャージするよう前記信号が第1のセクションをイネーブルにする。



## 【特許請求の範囲】

【請求項1】 書込みアンプ回路と共に動作する半導体メモリ用のメインアンプ回路であって、該メインアンプ回路と該書込みアンプ回路との両方が第1のプラス電圧レベルで動作し、2つのI/Oバスを第2のプラス電圧レベルへ選択的に駆動し、プリチャージすることができるものであり、該メインアンプ回路は、前記2つのI/Oバスの分離と該2つのI/Oバスのプリチャージとの両方を実行することができるプリチャージ回路と、その第1のセクションをアクティブにする信号を発信するためのアクティブ化回路とを有し、前記2つのI/Oバスが分離しているときのみ、2つのI/O信号をプリチャージするよう前記信号が前記第1のセクションをイネーブルにすることを特徴とする半導体メモリ用のメインアンプ回路。

【請求項2】 請求項1記載の半導体メモリ用のメインアンプ回路であって、書込みサイクルの間、前記2つのI/Oバスのプリチャージから該メインアンプ回路の前記第1のセクションをディスエーブルにすることを特徴とする半導体メモリ用のメインアンプ回路。

【請求項3】 複数のメモリセルとメインアンプ回路とを有する半導体メモリであって、該メインアンプ回路がメイン出力バスとテスト出力バスとを有し、通常モードでは、該メイン出力バスのみが該メモリセルにアクセスすることができ、テストモードでは、該メイン出力バスと該テスト出力バスとの両方が該メモリセルに同時にアクセスすることができることを特徴とする半導体メモリ。

【請求項4】 請求項3記載の半導体メモリであって、更に、前記テストモードの間、前記メモリセルからアクセスされるデータを圧縮し、復元するための圧縮・復元手段を有することを特徴とする半導体メモリ。

【請求項5】 請求項3記載の半導体メモリであって、前記メインアンプ回路が出力アクティブ化信号とテストアクティブ化信号との両方を含むことを特徴とする半導体メモリ。

【請求項6】 請求項3記載の半導体メモリであって、64Mのメモリセルを含むことを特徴とする半導体メモリ。

【請求項7】 第1または第2のメタルマスクのいずれか一方を含む複数のマスクを用いる半導体メモリの製造方法であって、第1のデータ幅を有する第1の半導体メモリは該第1のメタルマスクを用いて製造され、第2のデータ幅を有する第2の半導体メモリは該第2のメタルマスクを用いて製造され、該第1および第2の半導体メモリの両方が出力バス上に出力信号を受取る同一の出力回路を備え、該第1の半導体メモリの該出力バスは該第2の半導体メモリの該出力バスより大きいキャパシタンスを有し、該製造方法は、

前記第1の出力バスの抵抗が前記第2の出力バスの抵抗より小さくなるよう第1のバス幅と第2のバス幅とを選択することを特徴とする半導体メモリの製造方法。

【請求項8】 請求項7記載の半導体メモリの製造方法であって、前記出力バスのそれぞれの時定数が比較的に同じであることを特徴とする半導体メモリの製造方法。

【請求項9】 請求項7記載の半導体メモリの製造方法であって、前記半導体メモリのそれぞれが64Mのメモリセルを含むことを特徴とする半導体メモリの製造方法。

【請求項10】 請求項9記載の半導体メモリの製造方法であって、前記第1の幅が4ビットであり、前記第2の幅が16ビットであることを特徴とする半導体メモリの製造方法。

【請求項11】 請求項7記載の半導体メモリの製造方法であって、前記第1の出力バスのバス幅が前記第2の出力バスのバス幅より小さいので、該第1の出力バスの前記抵抗が該第2の出力バスの前記抵抗より小さいことを特徴とする半導体メモリの製造方法。

【請求項12】 複数のビット線対と該複数のビット線対と交差する複数のワード線とダイナミック型メモリセルと前記複数のビット線対に接続される複数のセンスアンプ回路とを含むメモリアレイと、

前記複数のビット線対の所定のビット線対が選択的に接続されるデータ線対と、

前記データ線対に接続され第1プラス電圧レベルを出力する書き込み回路と、

前記データ線対に接続され第2プラス電圧レベルを出力する読み出し増幅回路と、

前記データ線対を、一方の対と他方の対に分割するためにデータ線対に設けられた一对のスイッチMOSFETと、

前記データ線対の前記一方の対を前記第1プラス電圧レベルにプリチャージする第1プリチャージ回路と、

前記データ線対の前記他方の対を前記第2プラス電圧レベルにプリチャージする第2プリチャージ回路とを備え、

前記書き込み回路は前記データ線対の前記一方の対に接続され、前記読み出し増幅回路は前記データ線対の他方の対に接続され、

前記第2プリチャージ回路が動作状態であるときは前記一对のスイッチMOSFETはオフ状態にされることを特徴とする半導体メモリ。

【請求項13】 請求項12記載の半導体メモリであって、

前記第2プラス電圧レベルは前記第1プラス電圧レベルより高い電圧であることを特徴とする半導体メモリ。

【請求項14】 請求項13記載の半導体メモリであって、

前記複数のセンスアンプのハイレベルの出力電圧は前記

第1プラス電圧レベルであることを特徴とする半導体メモリ。

【請求項15】 請求項14記載の半導体メモリであって、前記読み出し増幅回路はCMOSラッチ回路であることを特徴とする半導体メモリ。

【請求項16】 複数のビット線対と該複数のビット線対と交差する複数のワード線とダイナミック型メモリセルと前記複数のビット線対に接続される複数のセンスアンプ回路とを含むメモリアレイと、前記複数のビット線対の所定のビット線対が選択的に接続されるデータ線対と、前記データ線対に接続される読み出し増幅回路と、前記データ線対を、一方の対と他方の対に分割するために該データ線対に設けられた一对のスイッチMOSFETと、前記データ線対の前記一方の対を第1プラス電圧レベルにプリチャージする第1プリチャージ回路と、前記データ線対の前記他方の対を前記第1プラス電圧レベルより高い第2プラス電圧レベルにプリチャージする第2プリチャージ回路とを備え、前記所定のビット線対は前記一方の対に接続され、前記読み出し増幅回路は前記データ線対の他方の対に接続され、前記読み出し増幅回路の電源電圧は前記第2プラス電圧レベルであることを特徴とする半導体メモリ。

【請求項17】 請求項16記載の半導体メモリであって、前記読み出し増幅回路はCMOSラッチ回路であることを特徴とする半導体メモリ。

【請求項18】 請求項17記載の半導体メモリであって、前記複数のセンスアンプのハイレベルの出力電圧は前記第1プラス電圧レベルであることを特徴とする半導体メモリ。

【請求項19】 請求項18記載の半導体メモリであって、前記半導体メモリは、前記読み出し増幅回路の出力信号を受ける保持回路を備え、前記保持回路の電源電圧は前記第2プラス電圧レベルであることを特徴とする半導体メモリ。

【請求項20】 請求項19記載の半導体メモリであって、前記半導体メモリは、外部電源電圧を受けて前記第1プラス電圧レベルの電圧を得る電源電圧降圧回路をさらに備えることを特徴とする半導体メモリ。

【請求項21】 請求項20記載の半導体メモリであって、前記半導体メモリは、前記データ線対に接続され第1プラス電圧レベルを出力する書き込み回路をさらに備えることを特徴とする半導

体メモリ。

【請求項22】 請求項19記載の半導体メモリであって、前記第2プリチャージ回路が動作状態であるときは前記一对のスイッチMOSFETはオフ状態にされることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般的に半導体の設計技術に関し、特にダイナミックランダムアクセスメモリと共に用いる改良されたメインアンプ回路および入出力バスを提供する装置および方法に関する。

【0002】

【従来の技術】電子システムの設計において、速度およびタイミングの制約は常に考慮すべき重要な要素であった。ほとんどのシステム設計では、使用されるすべての構成要素のタイミング上の要求に適合させると共に、高速を実現するため最適化する必要がある。その結果、多くの集積回路、即ち“チップ”が同期設計を用いている。同期化チップとは、チップの構成要素が共通のシステムクロックに接続されたチップのことである。同期化チップでは通常、その入力および出力のいずれかに接続されたラッチ、レジスタあるいはカウンタが単一のモノリシックチップ上に設けられている。更に同期化チップは、外部の論理チップが少なく、動作速度が速くなる等、システム設計者に多くの便益を提供している。

【0003】同期化チップの一例として、シンクロナスダイナミックランダムアクセスメモリ（SDRAM）がある。SDRAMとは概念的に、単にレジスタあるいはラッチが同一チップ上に設けられたランダムアクセスメモリ（DRAM）である。しかし、トランジスタの数およびトランジスタの速度が増加すると共に、回路およびバスの設計はより厳密さが要求されるようになる。例えば、従来16MビットSDRAM（1Mビットは1,048,576個のメモリセル、即ちビット）や64MビットDRAMが存在するが、現在のところ、64MビットSDRAMは存在していない。64MビットSDRAMを作るための従来の方法の1つとして、16MビットSDRAMに用いられる周辺回路（メモリアレイの周辺にある回路）を64MビットDRAMのメモリアレイと組み合わせるものがある。しかし、そのような組み合わせは、同期的な動作に要求される動作速度の増加や、メモリセルの増加に起因する容量性負荷の増加のため、新たに複数の問題を招くことになる。そのような問題の1つにタイミングの競合がある。このタイミングの競合により不正なデータが読み出されることがあり、装置を動作不能としてしまうことがある。また、他の問題の1つに電圧レベルの不一致がある。この電圧レベルの不一致により信号が異なる電源に接続されることがあり、電源が短絡されることがある。その結果、電力消費が増加

し、高温や大電流等の信頼性に係る問題が一般に生じる。

【0004】これらの問題を例示するため、従来の64MビットDRAMと従来の16MビットSDRAMについて説明する。従来の64MビットDRAMはメモリセルを複数の個々のバンクに分割している。ここでは例として4つのバンクを用いる。メモリセルの個々のバンクに接続されているのは複数のメインアンプであり、このメインアンプは後に図1を参照して説明するメインアンプ回路を含む。また、メモリセルの個々のバンクに接続されているのは複数の書込みアンプであり、この書込みアンプは後に図2を参照して説明する書込みアンプ回路を含む。メインアンプおよび書込みアンプのいずれも従来の16MビットSDRAMから導入されたものである。

【0005】図1は従来の16MビットSDRAM用のメインアンプ回路10を示す。メインアンプ回路10は複数の信号を受取るが、それらはバンクアクティブ信号MASJと、メイン入出力分離信号MACBJと、メインアンプアクティブ信号MAEJと、テスト信号MATESTBと、メインアンププリチャージ信号MAPJとを含む。メインアンプ回路10はまた3つの信号、即ちメイン入出力信号MIOTと、反転メイン入出力信号MIOBと、メインアンプ出力MOJとを発信する。更に、メインアンプ回路10は電源に接続されているが、それらはプラス外部電源Vddと、マイナス外部電源Vssと、プラス電源V1とを含む。従来の16MビットSDRAMでは電源V1はVddに等しいが、以下の説明から明らかにされる理由により、ここでは2つの電源を区別する。

【0006】メインアンプ回路10は4つの異なるセクションに分離することができる。第1のセクションはNANDゲート12により表されており、2つの信号MASJとMACBJとを受取る。MASJ信号は、メインアンプ回路10が“アクティブ”のときは常に“ハイ”に維持される。メインアンプ回路10は、それに対応するメモリセルバンクのメモリセルにアクセスするために用いられるときは常にアクティブである。MACBJ信号は、メインアンプ回路10が2つの出力信号MIOTとMIOBとを分離しているときは常に“ロウ”に遷移する。この2つの出力信号を分離するために用いられる回路部分は示されていないが、そのような回路の他の実施は当業者によく知られている。MASJはハイに維持されるので、NANDゲート12の出力N1は、MACBJを反転した信号になる。

【0007】メインアンプ回路10の第2のセクションはプリチャージ回路14である。プリチャージ回路14は、出力信号MIOBとMIOTとを特定の期間にわたりVddまたはV1に接続することによりそれらの信号をプリチャージする。プリチャージは、2つの出力信号

MIOTとMIOBとが分離していないとき、MAPJにより制御され、メインアンプ回路10に対応するバンクがアクティブでないときにはMASJ信号により制御される。

【0008】メインアンプ回路10の第3のセクションはフリップフロップ16である。フリップフロップ16は、プリチャージ回路14から発信する信号N1とN2とを受取る。フリップフロップは2つの出力信号N5とN4とを生成する。

【0009】メインアンプ回路10の第4のセクションは駆動回路18である。駆動回路18はフリップフロップ16の出力N3とN4とを受取り、メイン出力バスの出力信号MOJを選択的に発信する。

【0010】更に、駆動回路18はMATESTB信号を受取るが、それはメインアンプ回路10がテストモードにあることを示す。テストモードは、16MビットSDRAMの製品試験の時間を短縮するために用いられる。従来の16MビットSDRAMを試験するには、個々のメモリセルがアクセスされる必要がある。テストモードを用いることにより、2つ以上のメモリセルへの書込み、またそれからの読み出しが可能になり、従って試験時間が短縮される。従来の16MビットSDRAMは16のMOJ信号をまとめてメイン出力バスを形成することにより、16ビット幅のSDRAMとして利用される。更に、従来の16MビットSDRAMは16のメインアンプ回路を有する。従って、従来の16MビットSDRAMでは同時に16のメモリ位置にアクセスすることができ、それにより試験時間が改善される。試験時間を更に改善するには、16個より多くのメモリセルを同時にアクセスすることができれば有益である。

【0011】図2は従来の16MビットSDRAM用の書込みアンプ回路20を示す。書込みアンプ回路20は複数の信号を受取るが、それらは第1のプリチャージ信号MIPTIJと、第2のプリチャージ信号MIPBIJと、等化信号MIEQIJと、第1の書込み信号MDIBと、第2の書込み信号MDITとを含む。書込みアンプ回路20はまた、メイン入出力信号MIOTと、反転メイン入出力信号MIOBとを発信する。更に、書込みアンプ回路20はマイナス外部電源Vssと、プラス内部電源V1（これはVddに等しい）とに接続されている。

【0012】書込みアンプ回路20は、出力信号MIOBとMIOTとを、互いに接続することにより、あるいは特定の期間にわたりV1に接続することによりそれらの信号を等化させることができる。更に、書込み信号MDIB、MDIT、MIPBIJ、またはMIPTIJを適切にアサートすることにより、書込みアンプ回路20は選択的に出力信号MIOBとMIOTとをV1またはVssに発信することができる。

【0013】

【発明が解決しようとする課題】ところが、前記のような従来技術において、以下に説明するような欠点がある。

【0014】従来の64MビットDRAMは中間電圧レベル、即ちV<sub>dd</sub>とV<sub>ss</sub>との間で動作するメモリアレイを備えている。中間電圧レベルは、当業者によく知られている様々な理由により必要とされている。従来の16MビットSDRAMから導入された前記2つのアンプ回路はV<sub>dd</sub>およびV<sub>ss</sub>で動作するが、それらのアンプ回路を中間電圧を必要とする64MビットDRAMのメモリアレイと組み合わせると問題が生じる。第1の解決方法はV<sub>dd</sub>の電圧レベルを変更することである。しかし、この解決方法はうまく行かない。他の周辺回路および他の周辺チップがV<sub>dd</sub>電源として、より高い所定の電圧レベルを必要とするからである。第2の解決方法はプラスの内部電源V<sub>1</sub>を前記の中間電圧レベルに等しくなるように変更することである。このようにすれば、V<sub>dd</sub>の電圧レベルは維持され、メモリアレイに対する中間電圧レベルは低下される。しかし、この解決方法は、後述するように、新たに複数の問題を招くことになる。

【0015】図3は前記の信号および回路を表すタイミング図であり、V<sub>dd</sub>とV<sub>1</sub>とが異なる電圧レベルである場合に引き起こされる問題の一例を示すものである。入力信号の機能は基本的に、従来の16MビットSDRAMに含まれる他の回路（図示されていない）の機能により決定される。しかし、前記の信号名称に関する、入力信号とその波形については当業者によく知られている。

【0016】N1の波形は、メインアンプ回路10がアクティブ（MASJがハイ）であるときは常に、基本的にMACBJ信号の波形を反転したものであり、それは符号22、24、26、28で示される通りである。このようにして、N1はメインアンプ回路10にいつ分離が生じるかを通知する。N1がロウのときは常に、メインアンプ回路10は出力信号MIOBとMIOT（それらを一般的にMIOxで示す）とを発信する。従って、符号30、32、34を参照すると、MAPJ信号がロウのとき、メインアンプ回路10はMIOx信号をV<sub>dd</sub>に発信する。同様に、符号36、38を参照すると、書込みアンプ回路20はまた、MIOx信号をV<sub>1</sub>またはV<sub>ss</sub>に特定の期間発信する。しかし、期間40および42では、メインアンプ回路10および書込みアンプ回路20のいずれもMIOx信号を同時に異なる電圧レベルに発信する。MIOx信号が同時に異なる2つの電圧レベルになることはないので、特定の期間にわたり、対応する電源の間を“短絡”する。64MビットSDRAMの信頼性および電力消費を改善するために、電源間の短絡を全く無くすことができれば有益である。

【0017】そこで、本発明の目的は、タイミングの競

合および電圧レベルの不一致に起因する問題を解決した半導体メモリを提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0020】即ち、本発明によれば、メインアンプ回路を備えた半導体メモリが提供され、そのメインアンプ回路は2つの異なるプラス電圧レベルを用いることができ、また、書込みアンプ回路と共に選択的に2つのI/Oバスを駆動し、プリチャージすることができる。メインアンプ回路は分離・プリチャージセクションとアクティブ化セクションとを含む。アクティブ化セクションは、2つのI/Oバスが分離していないときのみ、2つのI/O信号をプリチャージするよう第1のセクションをアクティブにする信号を発信する。

【0021】本発明の他の一つの特徴として、メインアンプ回路はメイン出力バスとテスト出力バスとを含む。それにより、半導体メモリは通常モードとテストモードとで動作することができる。テストモードでは、半導体メモリのメモリセルの2倍の数を同時にアクセスすることができ、従って試験時間が短縮される。

【0022】本発明の他の一つの特徴として、半導体メモリは複数の異なるデータ幅の1つを取り得るが、各データ幅に対応する異なるサイズの出力バスを備えている。異なるデータ幅は異なるメタルマスクを用いることにより生成されるので、異なるサイズの出力バスを同じメタルマスクを用いて生成することができる。キャパシタンスの比較的大きな出力バスは大きな幅で製造することができ、それらの抵抗は比較的小さくなる。反対に、キャパシタンスの比較的小きな出力バスは小さな幅で製造することができ、それらの抵抗は比較的大きくなる。その結果、個々の異なる幅に対応する出力バスの時定数は非常に類似したものになる。

【0023】

【発明の実施の形態】上述のように、図1、図2および図3は16MビットSDRAM用の従来のメインアンプおよび書込みアンプに関する回路とタイミング図を示す。図2の従来の書込みアンプ回路20は本発明においても用いられ、従って、以下の説明においても参照される。

【0024】図4を参照すると、符号100は一般的に本発明の特徴を具体化したSDRAMを示す。本発明の好適な実施形態において、装置100は64MビットSDRAMであるが、勿論、本発明はSDRAMの使用に限定されるものではなく、他のタイプのランダムアクセスメモリを含め、異なるプラス電圧レベルによる多重ア

ンプを必要とするアレイタイプの集積回路に関連して用いてもよい。更に、好適な実施形態で列挙されている電圧レベルは説明のためのみのものであり、本発明を限定することを意図したものではない。

【0025】装置100は、それぞれが入力パッド102および104を介したプラスの外部電源(V<sub>dd</sub>)およびマイナスの外部電源(V<sub>ss</sub>)を受取る。好適な実施形態において、V<sub>dd</sub>電圧は3.3Vに等しく、V<sub>ss</sub>電圧は0Vに等しい。更に、装置100は、装置のメモリセルに用いるため、約2.2Vの内部電圧(V<sub>d1</sub>)を供給する電圧レギュレータ106を含む。これら3種の電圧V<sub>ss</sub>、V<sub>dd</sub>、V<sub>d1</sub>はほとんどの従来の64MビットDRAMに典型的なものであるため、詳細には説明しない。

【0026】装置100は、入力パッド108a、108b、108c、108dを介したアドレス入力および制御信号入力を受取る。好適な実施形態において、多くのアドレス用入力パッドおよび制御用入力パッドが存在するが、それらの機能はパッド108a～108dにより示す。更に、装置100は複数の制御およびアドレスデコード回路を含んでおり、それらは一般的にアドレスデコードグループ110として参照される。アドレスデコードグループ110および入力パッド108a～108dはほとんどの64MビットDRAMあるいは16MビットSDRAMに由来から存在するものであるため、詳細には説明しない。

【0027】装置100は、I/Oパッド112a、112b、112c、112dを介したデータ入出力(I/O)を送信または受取る。I/Oの数は装置100のデータ幅を決定するが、一般に4、8または16ビット幅である。特に言及しない限り、例えば、装置100は4ビット幅の装置であり、4つのI/Oパッド112a～112dだけを備えているものとする。更に、装置100は複数の入力バッファと出力バッファとその他の回路を含んでおり、それらは一般的にI/O回路グループ114として参照される。I/O回路グループ114および入力パッド112a～112dはほとんどの64MビットDRAMあるいは16MビットSDRAMに由来から存在するものであるため、詳細には説明しない。

【0028】装置100は64M(1Mは1,048,576に等しい)のメモリセルを含んでいる。メモリセルは0V(V<sub>ss</sub>)と2.2V(V<sub>d1</sub>)との間の電圧レベルで動作する。メモリセルは等しいサイズの4つのバンク116、117、118、119にグループ分けされ、個々のバンクは、それぞれが添え字“u”または“l”により示される上位部分と下位部分とを有している。メモリセルは従来から存在するものであり、複数の異なる信号線、アンプ回路、デコード回路を用いている。バンク116～119は、ほとんどの64MビットDRAMに由来から存在するメモリセルを含むので、そ

れらの機能を詳細に説明しない。

【0029】また、メモリセルの個々のバンクに接続されているのは複数のメインアンプ回路および書込みアンプ回路である。装置100では、8つのメインアンプ回路と8つの書込みアンプ回路とが個々のバンク部分に接続されている。例えば、バンク部分116uには、第1のメインアンプ120と第1の書込みアンプ122とが接続されており、それらは一般的にグループA1として参照されている。そして、他の7つのメインアンプおよび書込みアンプはそれぞれ一般的にグループA2、A3、A4、A5、A6、A7、A8として参照されている。同様に、個々のバンク部分117u、118u、119u、116l、117l、118l、119lは、8つのメインアンプおよび書込みアンプを備えており、それぞれ一般的にグループB1～B8、C1～C8、D1～D8、E1～E8、F1～F8、G1～G8、H1～H8として参照されている。すべてのメインアンプおよびすべての書込みアンプはそれぞれ同一であり、以下簡略化のため、第1のメインアンプ120および第1の書込みアンプ122についてのみ説明する。しかし、残りのメインアンプおよび書込みアンプも同様に動作することはいうまでもない。

【0030】個々のメインアンプはメイン出力バス124に、個々の書込みアンプはデータ・インバス126にそれぞれ接続されている。上述のように、装置100のI/Oの数を4、8または16とすることができる。従って、出力バス124およびデータ・インバス126はそれぞれ、4本、8本または16本の個々のバスラインを含む。

【0031】図5を参照すると、第1のメインアンプ120の改良されたメインアンプ回路130は、図1の従来のメインアンプ回路10と同様に複数の信号を利用する。それらはバンクアクティブ化信号MAS<sub>J</sub>と、メイン入出力分離信号MAC<sub>B</sub><sub>J</sub>と、メインアンプアクティブ化信号MAE<sub>J</sub>と、テスト信号MATEST<sub>B</sub>と、メインアンププリチャージ信号MAP<sub>J</sub>と、メイン入出力信号MIOTと、反転メイン入出力信号MIOBと、メインアンプ出力MO<sub>J</sub>とを含む。更に、メインアンプ回路130はまた、電源V<sub>dd</sub>、V<sub>d1</sub>、V<sub>ss</sub>に接続されている。

【0032】メインアンプ回路130は4つの異なるセクションに分離することができる。第1のセクションはNAND回路132である。NAND回路132は3つの信号MAP<sub>J</sub>と、MAS<sub>J</sub>と、MAC<sub>B</sub><sub>J</sub>とを受取る。MAC<sub>B</sub><sub>J</sub>信号は、メインアンプ回路130が2つの出力信号MIOTとMIOBとを分離しているときは常にロウに遷移する。MAS<sub>J</sub>信号は、バンク部分116uがアクティブのときは常にハイに遷移する。MAP<sub>J</sub>信号は、出力信号MIOTとMIOBとがプリチャージされるときは常にハイに遷移する。その結果、NAN

D回路132の出力N1'は、分離信号MACBJとプリチャージ信号MAPJとの両方に依存する。この改良されたNAND回路132の利点は以下の説明から更に明らかにされる。

【0033】メインアンプ回路130の第2のセクションはプリチャージ回路134である。プリチャージ回路134は、出力信号MIOBとMIOTとを互いに接続し、特定の期間にわたりVddに、そして他の期間にわたりVd1に接続することにより、それら出力信号MIOBとMIOTとをプリチャージする。Vddへのプリチャージは信号MAPJにより制御され、2つの出力信号MIOTとMIOBとが分離していないときには、即ちN1'がロウのとき、プリチャージが実行される。Vd1へのプリチャージは信号MASJにより制御され、バンク部分116uがアクティブであるときのみ、プリチャージを実行する。

【0034】メインアンプ回路130の第3のセクションはフリップフロップ136である。フリップフロップ136は、プリチャージ回路134から発信する信号N5'とN2'とを受取る。フリップフロップ136は2つの出力信号N3'とN4'とを生成する。

【0035】メインアンプ回路130の第4のセクションは駆動回路138である。駆動回路138はフリップフロップ136の出力N3'とN4'とを受取り、メイン出力バスのMOJ信号を選択的に発信する。

【0036】更に、駆動回路138はメイン回路130がテストモードにあることを示す信号MATESTBを受取り、MOJ信号を発信するために出力アクティブ化信号MAOEJを受取る。これら2つの信号と出力N3'とN4'とを用いることにより、駆動回路138はMOJバスまたはメインアンプテスト出力バスMOTJのいずれかを選択的に発信することができる。MOTJ信号はMOJバスに類似しているが、テストモード期間のみ用いられる。64個のメインアンプ回路が存在し、そのうちの32個が上位バンク116u, 117u, 118u, 119uに接続されており、残りの32個が下位バンク116l, 117l, 118l, 119lに接続されているので、メインテスト出力バス124tは、各メインアンプ回路に接続された個々のMOTJバスに対応する64個のバスを含む。それにより、テストモード時に64個のメモリセルを同時にアクセスすることができる。MOTJ信号を用いずに通常モードで動作する場合、最大で16個のメモリセル(16ビット幅の装置100の場合)を同時にアクセスすることができる。その結果、テストモードで動作する場合、64Mのメモリセルすべてにアクセスするのに要する時間は4分の1に短縮される。テストモードを更に使いよいものにするため、メモリセルから同時に読み出されたすべてのデータが正しいかどうかを決定するようメインテスト出力バス124tは圧縮・復元回路に接続されている。勿論、こ

の圧縮・復元回路は従来の16MビットSDRAMに用いられており、当業者にとって明らかであり、容易に理解されるものである。

【0037】上述のように、第1の書込みアンプ122は図2の書込みアンプ回路20を含むが、電圧V1はVd1電源に接続されているものとする。

【0038】図6を参照すると、様々な入力信号の波形が示されているが、それらの波形は装置100上に配置された他の回路(図示されていない)の機能により決定される。しかし、これら入力信号の多くは従来の16MビットSDRAMの入力信号と同様のものであり、前記の信号名称に関する、これら入力信号とその波形については当業者によく知られている。

【0039】N1'信号の波形は、メインアンプ回路130がイネーブル(MASJがハイ)であるときは常に、信号MACBJとMAPJとの両方に依存したものであり、それは符号140, 142, 144, 146で示される通りである。このようにして、N1'信号はメインアンプ回路130に、いつ分離が生じるか、プリチャージがなされていないかを通知する。N1'信号がロウのときは常に、メインアンプ回路130は出力信号MIOBとMIOT(それらを一般的にMIOxで示す)とをVddに発信する。従って、MAPJ信号はN1'信号を制御するので、メインアンプ回路130は期間148, 150, 152ではMIOx信号をVddに発信しない。

【0040】符号36, 38を参照すると、書込みアンプ回路20は、MIOx信号をVd1またはVssに特定の期間発信し続けるが、競合する電圧がMIOx信号にかけられることに起因する短絡は全く生じない。

【0041】再び図4を参照すると、装置100のビット幅は、4、8、16ビットとすることができ、以下それぞれby-4バージョン、by-8バージョン、by-16バージョンとして参照する。本装置の製造の際、装置100のどのバージョンにするかが決定される。装置100は複数のマスク層(図示されていない)を用いて製造されるが、各バージョンは特定のメタルマスク層(図示されていない)に関係する。勿論、異なるバージョンの装置をメタルマスク層1枚のみを変更して製造する方法は当技術分野ではよく知られており、詳細には説明しない。

【0042】装置100の特定のバージョンにより出力バス124およびデータ・インバス126のバスラインの数が決定される。by-4バージョンの場合、出力バス124には4本のバスラインが存在し、そのうちの2本は上位バンク116u, 117u, 118u, 119uに対応し、残りの2本は下位バンク116l, 117l, 118l, 119lに対応する。by-8バージョンの場合、出力バス124には8本のバスラインが存在し、そのうちの4本は上位バンク116u, 117u,



118u, 119uに対応し、残りの4本は下位バンク116l, 117l, 118l, 119lに対応する。by-16バージョンの場合、出力バス124には16本のバスラインが存在し、そのうちの8本が上位バンク116u, 117u, 118u, 119uに対応し、残りの8本は下位バンク116l, 117l, 118l, 119lに対応している。データ・インバス126におけるバスラインの配列および本数は出力バス124の場合と同様である。

【0043】装置100のバージョンにより、メイン出力バス124またはメインデータ・インバス126の単一のバスラインに接続されたアンプグループA1~A8, B1~B8, C1~C8, D1~D8, E1~E8, F1~F8, G1~G8, H1~H8の数が決定される。by-4バージョンの場合、単一のバスラインに16個のアンプグループが接続されている。バンク116, 117, 118, 119が上位および下位レベルに分離されているので、単一のバスライン上の16個のアンプグループはすべて同じレベルである。第1の例として、A1, A3, A5, A7, B1, B3, B5, B7, C1, C3, C5, C7, D1, D3, D5, D7のメインアンプのグループにおいて、個々のグループのメインアンプは同じバスラインに接続されているが、装置100のby-4バージョンへのメモリアクセスによりこれらのグループから1つのメインアンプがアクティブにされる。第2の例として、E2, E4, E6, E8, F2, F4, F6, F8, G2, G4, G6, G8, H2, H4, H6, H8のグループにおいて、個々のグループのメインアンプは同じバスラインに接続されているが、装置100のby-4バージョンへのメモリアクセスによりこれらのグループから1つのメインアンプがアクティブにされる。

【0044】装置100のby-8バージョンの場合、単一のバスラインに8つのアンプグループが接続されている。バンク116, 117, 118, 119が上位および下位レベルに分離されているので、単一のバスライン上の8つのアンプグループはすべて同じレベルである。第1の例として、A1, A5, B1, B5, C1, C5, D1, D5のメインアンプのグループにおいて、個々のグループのメインアンプは同じバスラインに接続されているが、装置100のby-8バージョンへのメモリアクセスによりこれらのグループから1つのメインアンプがアクティブにされる。第2の例として、E2, E6, F2, F6, G2, G6, H2, H6のグループにおいて、個々のグループのメインアンプは同じバスラインに接続されているが、装置100のby-8バージョンへのメモリアクセスによりこれらのグループから1つのメインアンプがアクティブにされる。

【0045】装置100のby-16バージョンの場合、単一のバスラインに4つのアンプグループが接続さ

れている。バンク116, 117, 118, 119が上位および下位レベルに分離されているので、単一のバスライン上の4つのアンプグループはすべて同じレベルである。第1の例として、A1, B1, C1, D1のメインアンプのグループにおいて、個々のグループのメインアンプは同じバスラインに接続されているが、装置100のby-16バージョンへのメモリアクセスによりこれらのグループから1つのメインアンプがアクティブにされる。第2の例として、E4, F4, G4, H4のグループにおいて、個々のグループのメインアンプは同じバスラインに接続されているが、装置100のby-16バージョンへのメモリアクセスによりこれらのグループから1つのメインアンプがアクティブにされる。

【0046】装置100のby-4バージョン、by-8バージョン、by-16バージョンに関して、異なる数のアンプグループが単一のバスラインに同時に接続されているため、メイン出力バス124の容量性負荷は各バージョン毎に異なる。by-4バージョンでは、接続された16個のメインアンプによる容量性負荷は比較的大きいが、by-16バージョンの場合、接続された4つのメインアンプによる容量性負荷は比較的小さい。このキャパシタンスにおける不一致により複数の問題が生じる。1つはI/O回路114に発生する。by-4バージョンもby-16バージョンも、そのマスク層は1つを除いて共通であるため、各バージョンに対するI/O回路は実質的に同じである。しかし、メイン出力バス124は、異なるバージョンに対して容量性負荷が異なるため、I/O回路114へ駆動される信号は異なる時間に到着する。その結果、バージョン間での信号の不一致に起因するI/O回路においてエラーが生じることがある。他の問題は、by-4バージョンは、一般的にby-8バージョンおよびby-16バージョンより動作が遅くなることがある。

【0047】これらの問題は、異なるバージョン毎にメイン出力バス124のバスラインの数を変更するだけでなく、バスラインの幅をも変更することにより解決される。図7a~7cを参照すると、メイン出力バス124の一部が示されているが、それは上位バンク117uと、B1, B2, B3, B4, B5, B6, B7, B8のグループのメインアンプと共に用いられる。各メインアンプの出力はMOJ（図5）であるため、異なるメインアンプの出力は、それぞれがB1, B2, B3, B4, B5, B6, B7, B8のグループのメインアンプ回路の出力MOJに対応するMOB1, MOB2, MOB3, MOB4, MOB5, MOB6, MOB7, MOB8として参照される。更に、勿論、バンク部分117uは、個々のバンク部分およびそれらのメイン出力バス124への接続の典型にすぎない。また、メイン出力バス124は各バージョン毎に異なっているため、以下、by-16バージョン、by-4バージョン、by-8

バージョンに対するメイン出力バスをそれぞれ124', 124'', 124'''として参照する。

【0048】図7aは、装置100のby-16バージョンに用いられる8本のバスライン160a, 160b, 160c, 160d, 160e, 160f, 160g, 160hを備えたメイン出力バス124'を示す。個々の8本のバスライン160a~160hは特定の幅160wを有する。更に、個々のメインアンプ出力MOB1, MOB2, MOB3, MOB4, MOB5, MOB6, MOB7, MOB8は、8本のバスライン160a~160hのうちの1つに接続されている。メインアンプ出力MOB1, MOB2, MOB3, MOB4, MOB5, MOB6, MOB7, MOB8は、各バージョンと整合するメタルマスク層の1つを用いて形成されている。その結果、メインアンプ出力の形状は装置100の各バージョンに対して同じである。更に、メインアンプ出力MOB1, MOB2, MOB3, MOB4, MOB5, MOB6, MOB7, MOB8は、従来のスルーホール技術を用いてバスライン160a~160hに接続されている。

【0049】図7bは、装置100のby-8バージョンに用いられる4本のバスライン162a, 162b, 162c, 162dを備えたメイン出力バス124''を示す。個々の4本のバスライン162a~162dは特定の幅162w(ただし、 $162w > 160w$ )を有する。更に、個々のメインアンプ出力MOB1, MOB2, MOB3, MOB4, MOB5, MOB6, MOB7, MOB8は、4本のバスライン162a~162dのうちの1つに接続されている。メインアンプ出力MOB1, MOB2, MOB3, MOB4, MOB5, MOB6, MOB7, MOB8の形状は装置100の各バージョンに対して一定であるため、バスライン162a~162dの幅162wは、図示されているように適切なメインアンプ出力に重なり合うよう十分大きなものである。

【0050】図7cは、装置100のby-4バージョンに用いられる2本のバスライン164a, 164bを備えたメイン出力バス124'''を示す。個々の2本のバスライン164a, 164bは特定の幅164w(ただし、 $164w > 162w > 160w$ )を有する。更に、個々のメインアンプ出力MOB1, MOB2, MOB3, MOB4, MOB5, MOB6, MOB7, MOB8は、2本のバスライン164a, 164bのうちの1つに接続されている。図7bに関連する上述のように、メインアンプ出力MOB1, MOB2, MOB3, MOB4, MOB5, MOB6, MOB7, MOB8の形状は装置100の各バージョンに対して一定であるため、バスライン164a, 164bの幅164wは、図示されているように適切なメインアンプ出力に重なり合うよう十分大きなものである。

【0051】装置100の異なるバージョン毎に異なるバス幅を提供することにより、バージョン毎のキャパシタンスの差異により引き起こされる時間遅延は等化される。この時間遅延は、メイン出力バス124のバスラインのRC定数により決定される(ここで、Rは各バスラインの抵抗、Cは各バスラインのキャパシタンスを表す)。バスラインの幅を広くすることにより、各バスラインの抵抗は減少する。このようにして、by-4バージョンのバスライン164a, 164bのRは比較的小さくなり、これらのバスラインのCは比較的大きくなる。反対に、by-16バージョンのバスライン160a~160hのRは比較的大きくなり、これらのバスラインのCは比較的小さくなる。その結果、装置100の各バージョンのバスラインにおける時間遅延、即ちRC定数は非常に類似したものとなり、異なるバージョンのバスラインの信号性能は、かなり整合したものとなる。

【0052】図9を参照すると、装置200は本発明が適用される他の実施形態のSDRAMが示されている。装置200はXラッチプリデコード、Xデコード、Yラッチプリデコード、Yデコード、メモリアレイ、センスアンプ等を各々持つ4つのバンクBANK0~BANK3で構成された64MSDRAMである。しかし、本発明はSDRAMに限定されるものではなく、他のタイプのランダムアクセスメモリ(RAM)を含み、更に、バンク構成も特に限定されることもない。更に言えば、異なる複数の電源電圧レベルを必要とするアレイタイプの集積回路に用いてもよい。以下に述べる電圧レベルは説明の為のみのものであり本発明を限定することを意図したものではない。

【0053】装置200は入力パッド202、204を介して外部電源Vddおよび外部電源Vssを受ける。外部電源Vddは約3.3Vであり、外部電源Vssは約0Vの接地電圧である。更に、装置200は図8に示されるようなメモリセルを有する。また、約2.2Vの内部電圧Vd1を供給する電圧レギュレータVd1gen206を含む。

【0054】装置200は図示しない複数のアドレス入力パッドを介してアドレス信号を受ける。更に、入力されたアドレス信号はLVTTTLレベルからCMOSレベルまたはチップ内レベルに変換するためのアドレス初段回路LVC208を介して各バンクBANK0~BANK3に入力される。Yラッチカウンタ210はバーストモード時に入力したアドレス信号をラッチしカウンタによってそのアドレス信号を更新する。アドレス初段回路LVC208やYラッチカウンタ210は、従来から存在する回路を用いることができる。

【0055】装置200は、図示しないI/Oパッドを介してデータの読出しまたは書込みを行う。さらに読出しまたは書込みが行われるデータは、データ初段回路DQ1~DQ4、212、218によってLVTTTLレベ

ル、CMOSレベルまたは特定のレベルに変換される。データ初段回路212、218は、ハイインピーダンスコントロール回路Hi-Z Control 220によって制御される複数のCMOS入出力バッファCMOS buff 222、228に接続されている。ハイインピーダンスコントロール回路Hi-Z Control 220は、アドレス初段回路208およびデータ初段回路212、218と同様に外部から入力される制御信号に対してレベル変換を行ない、また、ハイインピーダンスコントロール回路Hi-Z Control 220は、内部制御信号を出力するマスクコントロール回路DQM 230によって制御される。ここでマスクコントロールとはデータの入出力バッファを動作タイミングに応じてハイインピーダンスまたはロウインピーダンスに制御することを言う。複数のCMOS入出力バッファCMOS buff 222、228の各々は、さらに複数のレイテンシーラッチ回路Latency Latch 232、238の各々に接続されている。モードデコーダラッチ回路240は、セットコマンドでバーストモードがセットされるときに発生するモードデコーダラッチセット信号MRSによりCASレイテンシーCL、BurstレイテンシーBL等を入力する。レイテンシーコントロール回路244は、前記CL、BL等が出力されるのに伴って後述するコントロール系回路242からのラッチ更新信号（内部クロック）を受けレイテンシーラッチ回路232、238のための制御信号を出力する。制御信号を受けたレイテンシーラッチ回路232、238は前記CL、BL等に対応したデータの書き込み読出しを行なう。

【0056】データ初段回路、CMOS入出力バッファ、レイテンシーラッチ回路、図示しないI/Oパッドの数は装置200のデータ幅を決定する。一般的にデータ幅は4、8又は16ビット幅である。例えば、装置200のデータ幅は4ビットであり、図示しない4個のI/Oパッドと、代表として2個を図示しているデータ初段回路、CMOS入出力バッファ、レイテンシーラッチ回路を各々4個づつ備えている。

【0057】装置200は、チップ選択コマンドCS／、ロウアドレスコマンドRAS／、カラムアドレスコマンドCAS／、ライトイネーブルコマンドWE、クロックCLK、クロックイネーブルCLEを外部から各々入力し内部信号を発生するコントロール系回路242を備える。なお、ここで示す“／”はコマンド入力がロウレベルのときコマンド入力サイクルが有効になることを示す。入力されたコマンドによりコントロール系回路242は、モードデコーダラッチセット信号MRS、信号Bcu、信号Bact/Pre、信号R/W、ラッチ更新信号を各々出力する。モードデコーダラッチセット信号MRSはモードデコーダラッチに内部アドレス信号を取り込むための信号である。信号Bcuは読出しまたは

書き込みのときにアドレス信号を取込み、バーストモードのときにYラッチカウンタ210のカウンタアップを制御するための信号である。信号Bact/Preはバンク別にアクティブおよびバンクのプリチャージを制御するための信号である。信号R/Wはバンク別に書き込みまたは読出しを制御するための信号である。ラッチ更新信号は前記モードデコーダラッチ回路240の出力CASレイテンシーCL毎に発生しレイテンシーコントロール回路244を制御するために用いられる内部クロック信号である。

【0058】装置200は、64M（1Mは1,048,756に等しい）の図8に示すようなメモリセルを複数備える。メモリセルは約0V（Vss）と約2.2V（Vd1）との間の電圧レベルで動作する。配置された複数のメモリセルはメモリバンクBANK0～BANK3にグループ分けされており、個々のバンクは、XラッチプリデコーダXlatch pre-dec、XデコーダXdec、YプリデコーダYpre-dec、YデコーダYdec、メモリマットMat、図10に示されるようなセンスアンプ回路SA、図11に示されるようなI/O選択部回路400を備える。前記I/O選択部回路400は、ローカル入出力LIOT、LIOEとメイン入出力MIOB、MIOTとの接続または非接続を選択するために用いられる。なお、図10に示すセンスアンプ回路SAおよび図11に示すI/O選択部回路については後で詳細に説明する。

【0059】図10および図11は、装置200に用いられるセンスアンプ回路300およびI/O選択部回路400を示している。図12は装置200のバンクがアクティブ動作時のセンスアンプ回路300とI/O選択部回路400の各信号の波形図を示している。図13は各バンクのプリチャージ動作時のセンスアンプ回路300とI/O選択部回路400の各信号の波形図を示している。以下、バンクアクティブ動作時とプリチャージ動作時について説明する。

【0060】図10、図11および図12を参照すると、各回路のバンクアクティブ動作が示されている。各バンクがアクティブになることにより、センスアンプ回路300の各ノードをVd1/2レベルにプリチャージするための動作が終了する。すなわち、制御信号BLEQBがVddレベルのハイレベルからVssレベルのロウレベルに遷移し、センスアンプ回路300のプリチャージMOSFETがオフ状態となりチャージ動作が中止され、センスアンプ回路300が動作可能な状態となる。また、I/O選択部回路400のローカル入出力LIOT、LIOBをVd1/2レベルにプリチャージするための動作が終了する。すなわち、制御信号BLEQBがVddレベルのハイレベルからVssレベルのロウレベルに遷移する。その結果、インバータ回路402、404の出力信号がI/O選択部回路400のプリチャ

ージMOSFETをオフ状態にし、ローカル入出力L I O T、L I O Bのプリチャージ動作が中止される。従って、センスアンプ回路300のプリチャージ動作が中止されるよりもインバータ回路402、404の遅延時間だけ遅延してI/O選択部回路400のローカル入出力L I O T、L I O Bのプリチャージ動作が中止される。さらに制御信号BLEQBはローカル入出力L I O T、L I O Bとメイン入出力M I O T、M I O Bとを接続し動作可能な状態にするための制御信号としても用いられている。

【0061】I/O選択部回路400のローカル入出力L I O T、L I O Bとメイン入出力M I O B、M I O Tとが接続される直前においてメイン入出力信号M I O T、M I O BはVd1レベルであり、センスアンプ回路300およびI/O選択部回路400のローカル入出力信号L I O T、L I O Bの電圧レベルはVd1/2レベルである。ローカル入出力L I O T、L I O Bとメイン入出力M I O T、M I O Bとが接続されるとメイン入出力M I O T、M I O BはVd1レベルからVd1/2レベル方向に向かって遷移し、ローカル入出力信号L I O T、L I O BはVd1/2レベルからVd1レベルへ向かって遷移する。

【0062】図2に示されるように書込みアンプ回路20はメイン入出力M I O T、M I O Bに接続されている。メイン入出力M I O T、M I O Bに接続されている書込みアンプ回路20の信号線M I L S B、M I L S TはVd1電圧に接続されているプリチャージ回路WAPによりVd1レベルにプリチャージされている。従って、信号線M I L S B、M I L S Tに接続されているメイン入出力信号M I O T、M I O Bおよびローカル入出力信号L I O T、L I O Bの電圧レベルは書込みアンプ回路20の信号線M I L S B、M I L S Tのプリチャージ電圧Vd1レベルになる。

【0063】シェアード信号SHR0が各々Vddよりもさらに高い電圧レベルVppとVssレベルに遷移すると、ビット線BL0B、BL0Tとセンスアンプ回路300の信号線302、304とが接続状態になり、ビット線BL0B、BL0Tの電圧レベルの差が図10に示される信号線302、304に現れる。外部またはアドレスラッチカウンタ(図9参照)からのアドレス信号によりワード線SWL0(図8参照)がVppレベルに立ち上がる。ある一定時間経過するとセンスアンプ活性化信号SDP、SDNが各々Vd1レベルおよびVssレベルに遷移し、ビット線BL0B、BL0Tの電圧レベルの差をセンスアンプ回路300のセンスアンプ部SAN、SNPでさらに増幅する。その後カラム選択信号YSが立ち上がり外部からのデータの書込みまたはメモリセルからのデータの読出しを行なう。

【0064】図10、図11および図13を参照すると、各回路のプリチャージ動作が示されている。まず、

書込みまたは読出しが終了したことによりワード線SWL0はVppレベルのハイレベルからVssレベルのロウレベルに遷移する。ワード線SWL0がVssレベルに遷移した時点でシェアード信号SHR0およびSHR1がVddレベルに遷移する。次に、制御信号BLEQBがVssのロウレベルからVddのハイレベルに遷移することにより、センスアンプ回路300のプリチャージMOSFETがオン状態になり、センスアンプ回路300の各ノードがVd1/2Vレベルにプリチャージされる。

【0065】図9に示す個々のバンクの回路群WA/M A246は、各々8個のメインアンプ回路と8個の書込みアンプ回路とを備えており、メインアンプ回路および書込みアンプ回路は図5および図2に示したものをを用いる。

【0066】図14には、図2に示されている書込みアンプ回路20および図5に示されている本発明のメインアンプ回路130の書込み時の様々な入力信号および出力信号の詳細な波形が示されており、図14(c)は、図6で示されている書込み時の波形をさらに詳細に示したものである。各々の内部制御信号の電圧レベルは、図14(a)で示されるようにVddレベルをハイレベルとしVssレベルをロウレベルにする動作電圧レベルである。しかし、図14(b)で示されるように第1および第2の書込み信号MDIBおよびMDITは、VddレベルをハイレベルとしVssレベルをロウレベルとするのに対し、メモリセルへ書込まれる信号つまりメイン入出力信号M I O T、M I O Bは、Vd1レベルをハイレベルとしVssレベルをロウレベルにする電圧レベルとしている。つまり、この書込みアンプ回路20はハイレベルをVddレベルからVd1レベルへレベル変換をしている。

【0067】期間152にメインアンププリチャージ信号MAPJに同期する信号N1'がハイレベルであることによって、メイン入出力M I O T、M I O Bは信号N1'がゲートに入力されているPMOS(一対のスイッチMOSFET、Q1、Q2)を境に分離されている。その結果、一方のデータ線対(11、12)のプリチャージ電圧レベルVd1と、他方のデータ線対(m1、m2)のプリチャージ電圧レベルであるVddレベルとを分離することができる。

【0068】もし、メイン入出力M I O T、M I O Bが前記PMOS(Q1、Q2)を境に分離されない場合、Vddレベルにプリチャージされるデータ線対(m1、m2)よりデータ線対(11、12)のほうが電圧レベルが低いため、前記データ線対(11、12)の電圧レベルはVddレベルへ遷移してしまう。

【0069】従って、信号M I O T、M I O Bは、信号N1'がゲートに入力されているPMOS(Q1、Q2)を境にデータ線対(11、12)とデータ線対(m

1、m2)とに分離されることにより、書込みアンプ回路20のVd1電圧端子とデータ線対(m1、m2)をプリチャージするためのVdd電圧端子との短絡により無駄な電流が流れることを防止できる。つまり、信号MAPJによって駆動されるプリチャージMOSFETがオン状態であるときは、信号N1'によって制御されるPMOS(Q1、Q2)はオフ状態にされるので、データ線対(m1、m2)をプリチャージするVdd電圧端子と書込みアンプ回路20のVd1電圧端子との短絡による無駄な電流消費を防止することができる。

【0070】図15を参照すると、図5に示されている本発明のメインアンプ回路130の読出し時の様々な入力信号および出力信号の詳細な波形が示されている。図15(d)は図6で示されている読出し時の波形をさらに詳細に示したものである。各々の内部制御信号の電圧レベルは、図15(a)に示されるようにVddレベルをハイレベルとしVssレベルをロウレベルにする電圧レベルである。しかし、図15(b)に示されるようにメモリセルからMIOT、MIOBに読出された信号はVd1レベルをハイレベルとしているのに対し、メインアンプ出力信号MOJは、Vddレベルをハイレベルとしている。つまり、このメインアンプ回路130は、ハイレベルをVd1レベルからVddレベルへレベル変換をしている。

【0071】図15(c)を参照すると、メインアンプ回路130の各信号N1'、N2'、N5'の動作電圧レベルはVddレベルをハイレベルとしVssレベルをロウレベルとしている。信号N1'はメインアンプがイネーブル(MASJがハイレベル)であるとき常にメイン入出力分離信号MACBJとメインプリチャージ信号MAPJの両方に依存したものであり、図15(d)に示される符号144、146の通りである。

【0072】データ線対(11、12、m1、m2)は信号N1'がゲートに入力されるPMOS(一对のスイッチMOSFET、Q1、Q2)を境に分離可能とされる。プリチャージ回路134は分離された一方のデータ線対(11、12)をVd1レベルにプリチャージし、他方のデータ線対(m1、m2)をVddレベルにプリチャージすることができる。

【0073】信号N1'がロウレベルの期間にメモリセルから読出されたデータが、一方のデータ線対(11、12)から他方のデータ線対(m1、m2)に伝達される。その後、該データがCMOSラッチ型増幅回路(Q3、Q4、Q5、Q6)で増幅され、フリップフロップ回路136に読出しデータが保持される。信号N1'がロウレベルの期間、第1および第2のプリチャージ信号MIPBIJおよびMIPTIJがハイレベルになることにより、書込みアンプ回路20からのデータ線対(11、12)へのプリチャージは停止される。

【0074】また、プリチャージ期間中はPMOS(Q

1、Q2)がオフ状態になることにより、信号N5'および信号N2'はデータ線対(m1、m2)のプリチャージレベルであるVddレベルに保たれ、信号N5'と信号N2'の電圧レベル低下によるフリップフロップ回路136内に流れる貫通電流を防止することができる。

【0075】もし、プリチャージ期間中にデータ線対(11、12、m1、m2)が前記PMOS(Q1、Q2)を境に分離されない場合、Vddレベルにプリチャージされるデータ線対(m1、m2)とVd1レベルにプリチャージされるデータ線対(11、12)とが短絡し、前記データ線対(11、12)の電圧レベルはVddレベルへ向かって遷移してしまう。さらにデータ線対(m1、m2)のプリチャージレベルであるVddレベルが低下し、信号N5'および信号N2'の電圧レベル低下によるフリップフロップ回路136内の前記貫通電流が生じる。

【0076】従って、図15(d)に示されるように、プリチャージの期間150において第1および第2のプリチャージ信号MIPBIJおよびMIPTIJがロウレベルであることにより、書込みアンプ回路(図2)側のデータ線対(11、12)はVd1レベルにプリチャージされる。また、CMOSラッチ型増幅回路(Q3～Q6)側のデータ線対(m1、m2)は図15(c)に示すようにVddレベルにプリチャージされる。つまり、プリチャージ回路134のデータ線対(11、12、m1、m2)を分離するためのPMOS(Q1、Q2)がオフ状態にあるためにVd1レベルにプリチャージされる書込みアンプ回路側のデータ線対(11、12)とVddレベルにプリチャージされるデータ線対(m1、m2)との短絡が防止される。

【0077】本実施形態のメモリはアレイの内部電圧が外部電圧よりも低い電圧とされる。これにより、内部回路の低消費電力化を図っている。この場合、メモリ内で内部低電圧から外部高電圧へ読出し信号レベルを変換する必要がある。信号レベルを変換するために新たな変換回路を設けると、変換回路での遅延時間により、読出しスピードの遅延を招く。

【0078】本発明の実施形態によればデータ線対(11、12、m1、m2)をスイッチMOSFET(Q1、Q2)で分割し、内部回路側のデータ線対を低電圧にプリチャージし、CMOSラッチ型増幅回路(Q3～Q6)側のデータ線対(m1、m2)を高電圧にプリチャージし、読出し時に両データ線を結合することにより、電圧レベル変換を行なうので、電圧レベル変換に伴う遅延が実質的に生じない。

【0079】本発明の実施形態のように、CMOSラッチ型増幅回路(Q3～Q6)の出力信号を受けてデータを保持する保持回路136を設けることにより、増幅回路のプリチャージ動作を次の読出し動作に備えて早期に開始することができる。

【0080】また、増幅回路として図5に示されるようなCMOSラッチ型増幅回路(Q3～Q6)を用いることにより、より高速な読出し動作が可能である。すなわち、前記読出し時のレベル変換により、信号N2'、信号N5'がV<sub>dd</sub>レベルからV<sub>dl</sub>レベルに下がり(図15(c)参照)、その後、CMOSラッチ型増幅回路(Q3～Q6)により一方がV<sub>dd</sub>レベル、他方がV<sub>ss</sub>レベルに向かって各々相補的に高速に増幅される。

【0081】以上、詳細に説明したように、CMOSラッチ型増幅回路(Q3～Q6)の電源電圧として、内部電圧の電源電圧(V<sub>dl</sub>)よりも高い電圧(V<sub>dd</sub>)を用い、増幅回路の入力データ線を高い電圧(V<sub>dd</sub>)にプリチャージするためにスイッチMOSFET(Q1、Q2)を利用することにより、増幅回路の動作時にレベル変換動作を同時に実行することが可能となった。従って、レベル変換の遅延時間が実質的に無視できるので高速な読出し動作が可能となる。

【0082】以上、本発明者によってなされた発明を例示的な実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0083】例えば、ある場合には、本発明のある特徴を用いる一方、本発明の他の特徴を用いないこともできる。更に、本発明の範囲を逸脱することなく、本実施形態に付加的または代替的な構成要素や他の回路を追加することもできる。従って、添付の特許請求の範囲は本発明の範囲と整合する仕方で広く解釈すべきである。

【0084】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0085】即ち、タイミングの競合および電圧レベルの不一致に起因する問題を解決することができる。

【0086】また、テストモードでは半導体メモリのメモリセルの2倍の数を同時にアクセスすることができ、従って試験時間を短縮することができる。

【0087】更に、個々の異なる幅に対応する出力バスの時定数を非常に類似したものにする事ができる。

【図面の簡単な説明】

【図1】従来の16MビットSDRAM用のメインアンプ回路の略図である。

【図2】従来の16MビットSDRAM用の書込みアンプ回路の略図である。

【図3】図1および図2の従来の回路のタイミング図である。

【図4】本発明の実施形態である64MビットSDRAMのブロック図である。

【図5】図4の64MビットSDRAM用の改良されたメインアンプ回路の略図である。

【図6】図2の従来の書込みアンプ回路を備えた図5の改良されたメインアンプ回路のタイミング図であり、本発明の特徴を示す図である。

【図7a】図4の64MビットSDRAMのメイン出力バス用のレイアウト図である。

【図7b】図4の64MビットSDRAMのメイン出力バス用のレイアウト図である。

【図7c】図4の64MビットSDRAMのメイン出力バス用のレイアウト図である。

【図8】図4および図9の64M・SDRAMのメモリセルを示す図である。

【図9】本発明の好適な他の64M・SDRAMの全体図である。

【図10】本発明の64M・SDRAMのセンスアンプ回路図である。

【図11】本発明の64M・SDRAMのI/O選択部回路図である。

【図12】バンクアクティブ時のタイミング図である。

【図13】プリチャージ時のタイミング図である。

【図14】書込みアンプのタイミング図である。

【図15】本発明のメインアンプのタイミング図である。

【符号の説明】

10, 130 メインアンプ回路

12 NANDゲート(第1のセクション)

14 プリチャージ回路(第2のセクション)

16 フリップフロップ(第3のセクション)

18 駆動回路(第4のセクション)

20 書込みアンプ回路

100, 200 装置(SDRAM)

102, 104, 108a～108d 入力パッド

106 電圧レギュレータ

110 アドレスデコーダグループ

112a～112d I/Oパッド

114 I/O回路グループ

116～119 バンク

116u～119u メモリセルバンクの上位部分

116l～119l メモリセルバンクの下位部分

120 メインアンプ

122 書込みアンプ

124 メイン出力バス

124t メインテスト出力バス

124'～124''' メイン出力バス

126 データ・インバス

132 NAND回路(第1のセクション)

134 プリチャージ回路(第2のセクション)

136 フリップフロップ回路(第3のセクション)

138 駆動回路(第4のセクション)

148, 150, 152 期間

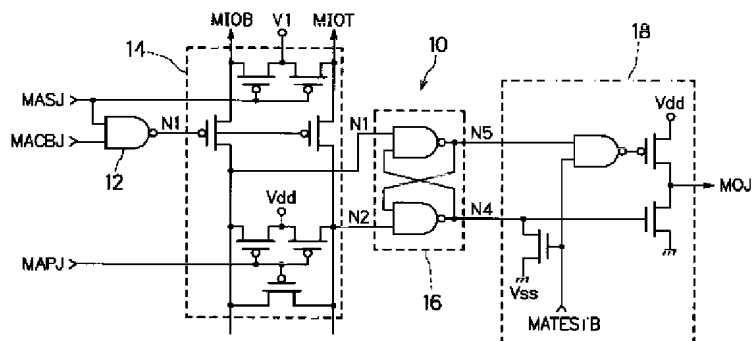
160, 160a～160h バスライン

160W, 162W, 164W バス幅  
 162a~162d, 164a, 164b バスライン  
 202, 204 パッド  
 206 電圧レギュレータ  
 208 アドレス初段回路  
 210 Yラッチカウンタ  
 212, 218 データ初段回路  
 220 ハイインピーダンスコントロール回路  
 222, 228 CMOSバッファ  
 230 マスクコントロール回路  
 232, 238 レイテンシーラッチ回路  
 240 モードデコーダラッチ回路  
 242 コントロール系回路  
 244 レイテンシーコントロール回路  
 246 回路群  
 300 センスアンプ回路  
 302, 304 信号線  
 400 I/O選択部回路  
 402, 404 インバータ回路  
 A1~A8, B1~B8, C1~C8, D1~D8, E1~E8, F1~F8, G1~G8, H1~H8 グループ  
 Q1~Q6 MOSFET  
 11, 12, m1, m2 データ線  
 WAP プリチャージ回路  
 MILSB, MILST 信号線  
 SAN, SNP センスアンプ部  
 MOB1~MOB8 メインアンプ出力  
 MASJ バンクアクティブ化信号  
 MACBJ メイン入出力分離信号  
 MAEJ メインアンプアクティブ化信号

MATESTB テスト信号  
 MAPJ メインアンププリチャージ信号  
 MIOT メイン入出力信号またはメイン入出力  
 MIOB 反転メイン入出力信号または反転メイン入出力  
 MIOx 入出力信号  
 MIPTIJ 第1のプリチャージ信号  
 MIPBIJ 第2のプリチャージ信号  
 MIEQIJ 等化信号  
 MIDB 第1の書込み信号  
 MIDT 第2の書込み信号  
 MOJ メインアンプ出力またはメインアンプ出力信号  
 MAOEJ 出力アクティブ信号  
 MOTJ メインアンプテスト出力信号  
 Vdd プラス外部電源  
 Vss 接地電圧  
 V1, Vd1 内部電圧  
 N1, N2, N1', N2' 出力または信号  
 N3, N4 出力信号  
 N3'~N5' 出力または出力信号  
 BANK0~BANK8 バンク  
 MRS モードデコーダラッチセット信号  
 Bcu, Bact/Pre, R/W, BLEQB 信号  
 LIOT, LIOB ローカル入出力信号またはローカル入出力  
 BLOB, BLOT, BL1B, BL1T ビット線  
 SWL0 ワード線  
 YS カラム選択信号  
 SHRO, SHR1 シェアード信号  
 SDP, SDN センスアンプ活性化信号

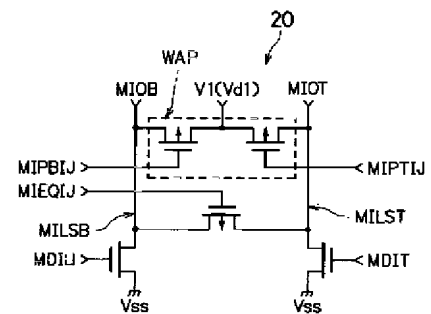
【図1】

図1



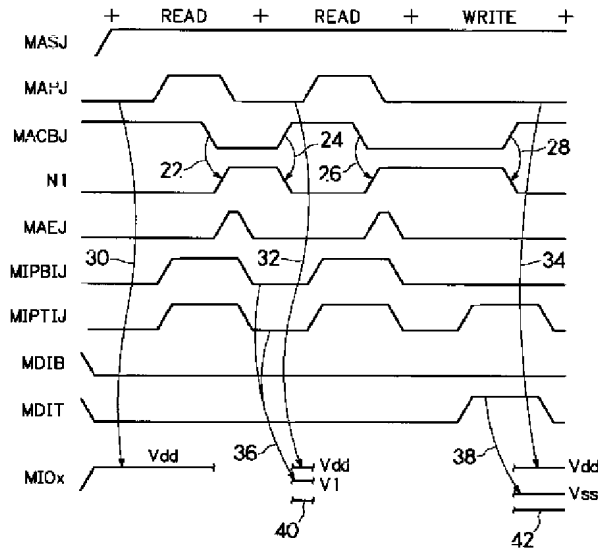
【図2】

図2



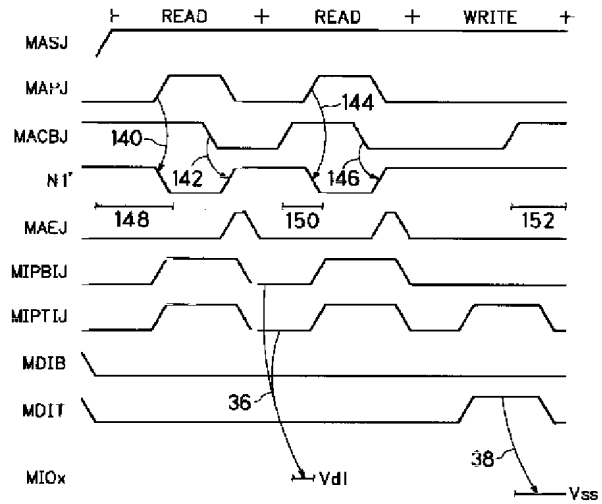
【図3】

図3



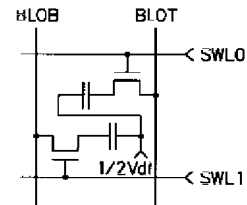
【図6】

図6



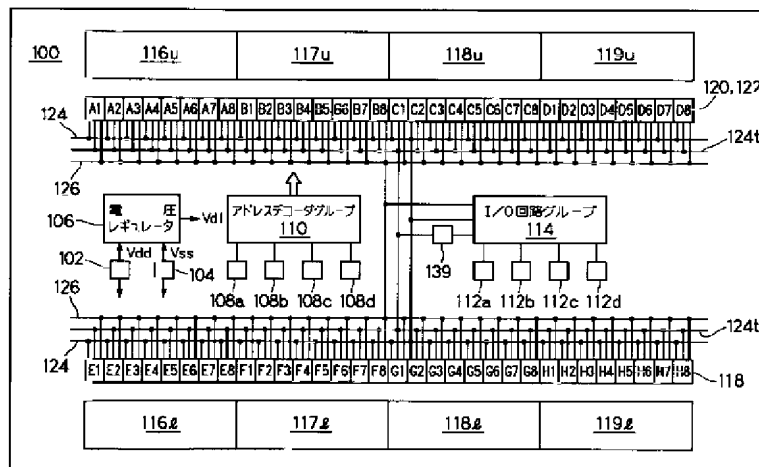
【図8】

図8



【図4】

図4



【図12】

【図13】

図12

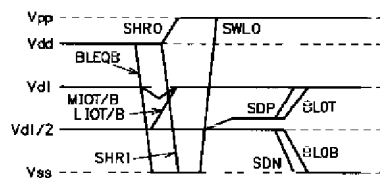
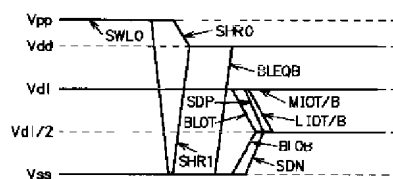


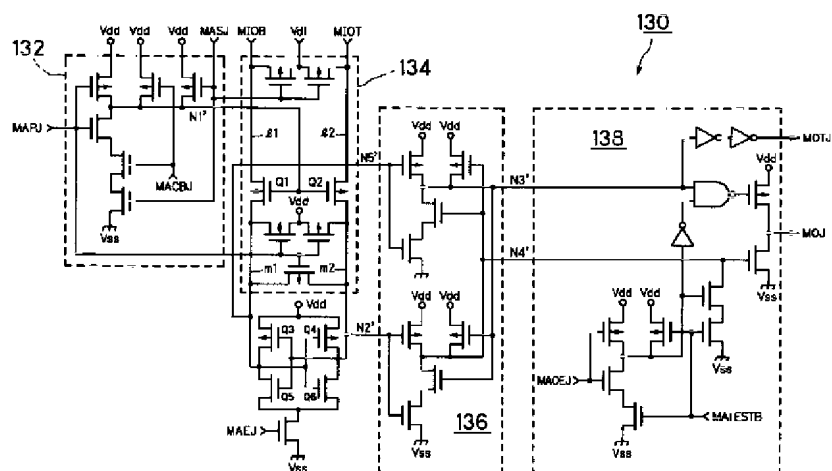
図13





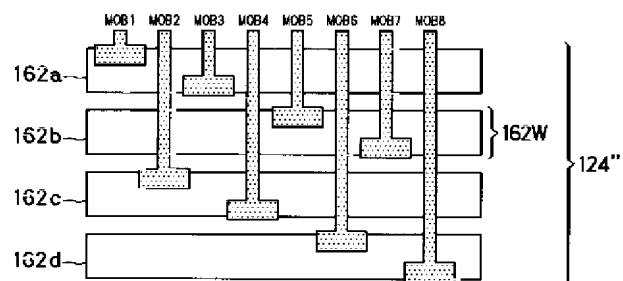
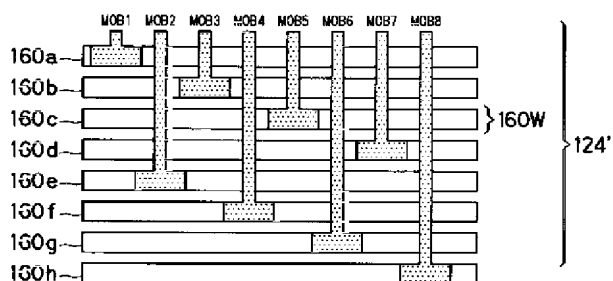
【图5】

5



【図7 a】

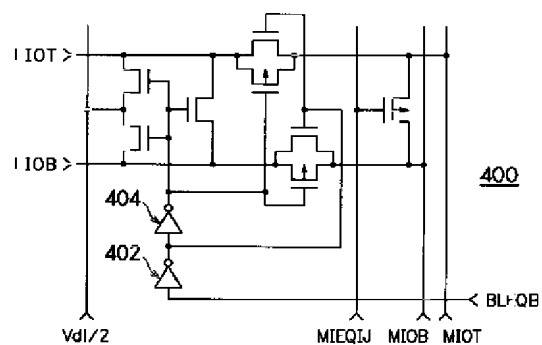
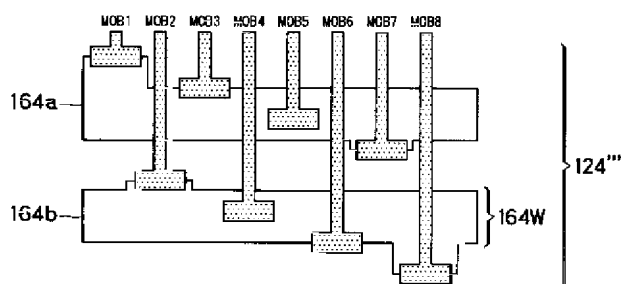
【図7 b】



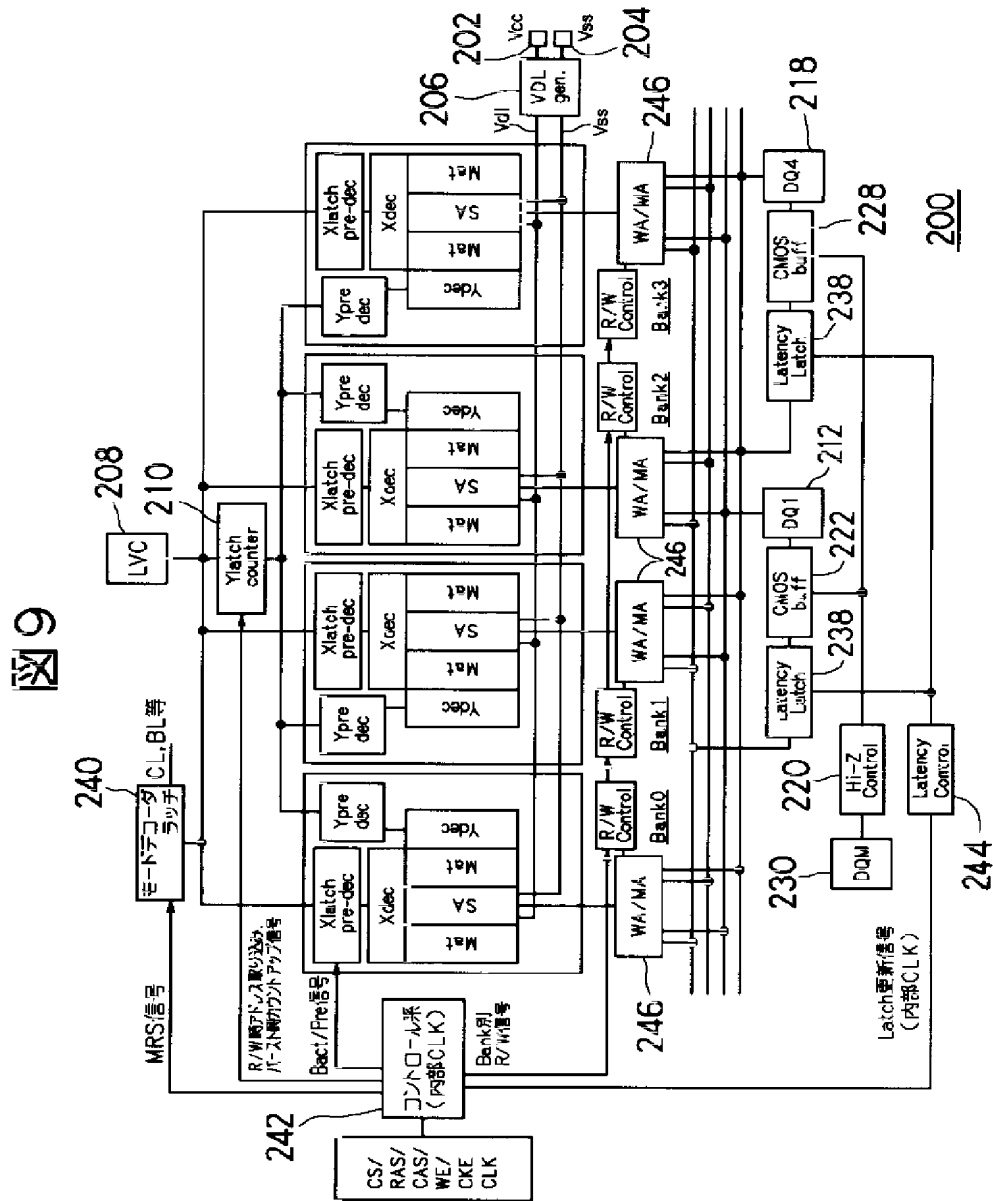
【図7 c】

【图 1 1】

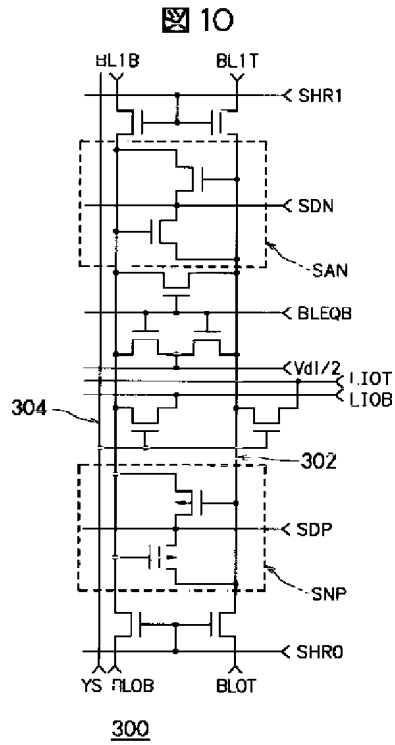
**7c**

 11

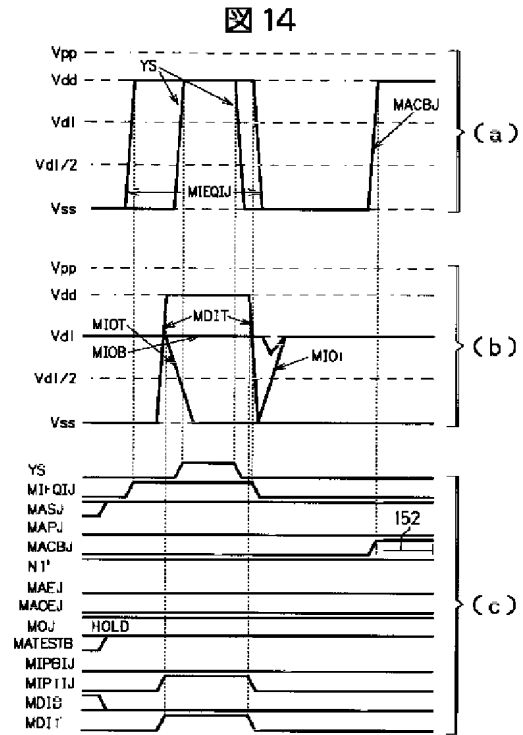
【図9】



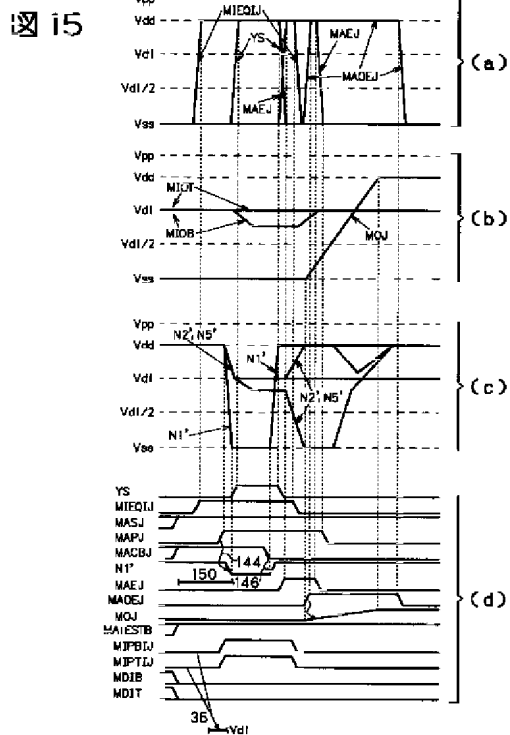
【図10】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 21/8242

識別記号

F I  
H 0 1 L 27/10

6 8 1 F